

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 2000-196008
 (43)Date of publication of application: 14.07.2000

(51)Int.Cl.

H01L 25/04
H01L 25/18

(21)Application number: 10-368023
 (22)Date of filing: 24.12.1998

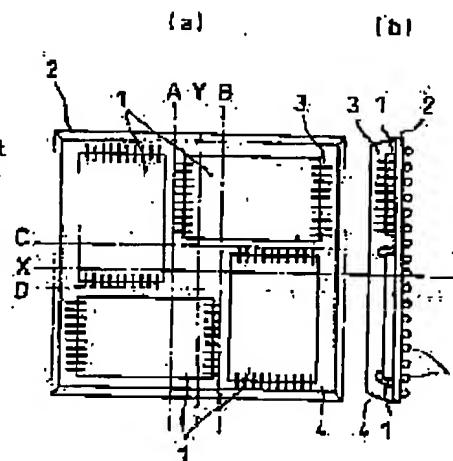
(71)Applicant: SHARP CORP
 (72)Inventor: NISHIKAWA MASATAKA

(54) MULTI-CHIP SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To attain a multi-chip semiconductor device, comprising a ball grid array which is not easily warped and assures high reliability of electrical connection between the ball grid array and the external side.

SOLUTION: Three or more semiconductor chips 1 are arranged on one plane of the substrate 2 for such substrate provided with a conductive layer, and these semiconductor chips 1 are electrically connected with the conductive layer and the ball grid array 6 consisting of a plurality of electrodes for connecting the conductive layer and external circuits is formed on the other plane of the substrate 2. The semiconductor chip 1 is arranged in such a manner that at least one semiconductor chip 1 is provided so as to straddle over the two center lines which connect the intermediate points at a pair of sides of the substrate 2. Thereby, the part along a center line X and a center line Y of the substrate 2 where warping is easily generated can be reinforced with the semiconductor chip 1, and warping is reduced.



LEGAL STATUS

[Date of request for examination] 19.07.2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196008

(P2000-196008A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl.

H 01 L 25/04
25/18

識別記号

F I

H 01 L 25/04

マーク (参考)

Z

審査請求 未請求 請求項の数4 OL (全10頁)

(21) 出願番号

特願平10-368023

(22) 出願日

平成10年12月24日 (1998.12.24)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 西川 昌孝

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74) 代理人 100080034

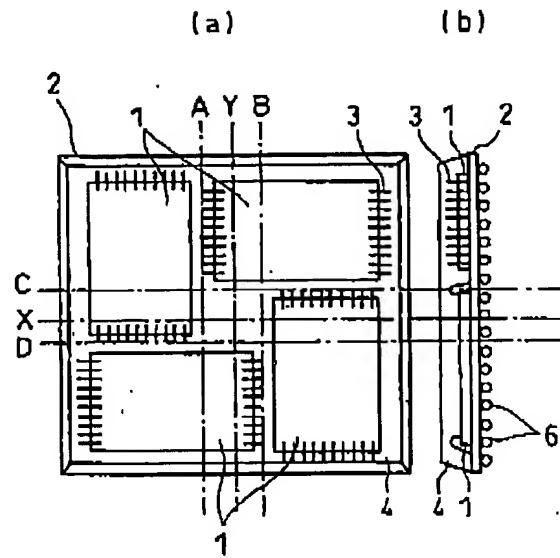
弁理士 原 謙三

(54) 【発明の名称】 マルチチップ型半導体装置

(57) 【要約】

【課題】 ポールグリッドアレイを備えるマルチチップ型半導体装置において、反りにくく、ポールグリッドアレイと外部との電気的接続の確実性が高いマルチチップ型半導体装置を提供する。

【解決手段】 導体層を備える基板2に対し、3個以上の半導体チップ1が基板2の一方の面上に平面的に並べて配置されるとともに導体層と電気的に接続され、導体層を外部と電気的に接続するための複数の電極からなるポールグリッドアレイ6が基板2の他の面上に形成され、半導体チップ1は、基板2の対辺の中点を結ぶ2つの中心線のそれぞれに少なくとも1つの半導体チップ1が跨がるようにして配置されている。これにより、反りが生じやすい基板2の中心線Xおよび中心線Yに沿った部分が半導体チップ1によって補強され、反りが低減される。



【特許請求の範囲】

【請求項1】導体層を備える四辺形の基板に対し、3個以上の半導体チップが基板の一方の面上に平面的に並べて配置されるとともに導体層と電気的に接続され、導体層を外部と電気的に接続するための複数の電極からなるポールグリッドアレイが基板の他の面上に形成されたマルチチップ型半導体装置であって、

上記半導体チップ群は、基板の対辺の中点を結ぶ2つの中心線のそれぞれに少なくとも1つの半導体チップが跨がるようにして配置されていることを特徴とするマルチチップ型半導体装置。

【請求項2】上記半導体チップの配置が、隣り合う2つの半導体チップの間を通り基板と平行な直線を全て描くと、これら直線が少なくとも1つの他の半導体チップを通るようになっていることを特徴とする請求項1記載のマルチチップ型半導体装置。

【請求項3】上記基板が、ポリイミド、ポリエステル、およびガラスエポキシからなる群より選ばれる少なくとも1種の樹脂材料からなる絶縁性基板に対し、導体層を設けたものであることを特徴とする請求項1または2に記載のマルチチップ型半導体装置。

【請求項4】上記基板の厚みが、0.1~0.2mmの範囲内であることを特徴とする請求項1ないし3のいずれか1項に記載のマルチチップ型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にマルチチップモジュール(MCM)やマルチチップパッケージ(MCP)とも称される、電子機器を小型化・軽量化するために複数の半導体チップが基板上に平面的に並べて配置されたマルチチップ型半導体装置に関するものである。より詳しくは、本発明は、半導体チップと外部とを電気的に接続するためのポールグリッドアレイ(以下、適宜BGAと記す)を有するBGA型のマルチチップ型半導体装置に関するものである。

【0002】

【従来の技術】従来、メモリチップは、SOP(Small Outline Package)やQFP(Quad Flat Package)のようなパッケージに実装されるのが一般的であった。

【0003】近年、携帯電話や、携帯型情報機器(PDA; Personal Digital Assistants)、電子スチルカメラ(デジタルカメラ)などの携帯機器が普及している。これらの携帯機器には、データを保管するためのメモリチップが搭載されているが、そのメモリチップには大容量化が望まれている一方で、パッケージの薄型化・小型化が要求されている。

【0004】そこで、近年、メモリチップのパッケージをより小型化することが可能な半導体装置として、CSP(Chip Size Package)型半導体装置や、高密度のマルチチップ型半導体装置が用いられるようになっている。

特にCSP型半導体装置では、薄型化を図るために、メモリチップを搭載する基板として0.1mm程度の薄い基板が用いられている。

【0005】また、最近、外部接続端子の狭ピッチ化が容易であることから、複数の半導体チップを基板の表面側に搭載し、かつ、外部接続端子として複数の球状のパンチ電極を基板の裏面側に有するBGA型半導体装置が提案されており、BGA型のマルチチップ型半導体装置も提案されている。

【0006】ところが、BGA型のマルチチップ型半導体装置の場合には、面積が大きいため、半導体チップを単独で搭載した半導体装置に比べて非常に反りやすい。そのため、従来では、基板の材質としてセラミックを用いるか、あるいは、基板の材質として樹脂を用いる場合には基板の厚みを比較的厚く、例えば、0.5mm以上にしていた。

【0007】携帯機器へ搭載する半導体装置は、軽量・薄型が必須であるので、BGA型のマルチチップ型半導体装置を携帯機器へ搭載するには、基板の厚みをCSP型半導体装置の場合と同程度である0.2mm以下まで薄くすることが要求される。

【0008】

【発明が解決しようとする課題】ところが、BGA型のマルチチップ型半導体装置に用いる基板は、複数の半導体チップを平面的に並べて搭載できるよう比較的大きな面積を有しているために、厚みを0.2mm以下のような極薄にすると、次のような問題を招来する。

【0009】まず、セラミックからなる基板では、厚みを0.2mm以下にすると、破損しやすくなり、取り扱いが困難になるという問題を生じる。また、ポリイミド、ポリエステル、ガラスエポキシ等の絶縁性樹脂材料からなる基板では、基板の厚みを0.2mm以下にしても、柔軟性が高いため、破損しやすくなるという問題を生じない。

【0010】しかしながら、これらの絶縁性樹脂材料からなる基板は、剛性が低く曲げ応力に弱い。そのため、従来のBGA型のマルチチップ型半導体装置では、基板の厚みを0.2mm以下にすると、反りが生じやすい。本願発明者の考案によれば、これは、その従来のBGA型のマルチチップ型半導体装置では、半導体チップを整列させて配置するか、あるいは配線のレイアウトのみを考慮して配置しており、基板の中心線上に半導体チップが配置されていないためであることが分かった。

【0011】以下、この点について、図6ないし図9に示す具体例に基づいてさらに詳細に説明する。従来のBGA型のマルチチップ型半導体装置としては、例えば、図6および図7に示すように、長方形の基板2の表面上に4つの半導体チップ1が2列に整列させて配置され、基板2の裏面上に外部接続端子としてBGA6が設けられたマルチチップ型半導体装置10および10'が知ら

(3)

特開2000-196008

れている。

【0012】なお、マルチチップ型半導体装置10および10'では、図示していないが、基板2には銅などの導体がバーニングされてなる配線層(導体層)が形成されており、BGA6は、配線層に対して電気的に接続されている。また、マルチチップ型半導体装置10では、各半導体チップ1は細線3を介して基板2の配線層に電気的に接続され、半導体チップ1、基板2、および細線3の全体が封止樹脂4により覆われている。一方、マルチチップ型半導体装置10'では、各半導体チップ1はバンプ5を介して基板2の配線層に電気的に接続され、バンプ5が封止樹脂4により覆われている。

【0013】マルチチップ型半導体装置10および10'では、基板2の中心線Xおよび中心線Y上に半導体チップ1が配設されていないので、基板2の中心線X付近および中心線Y付近に、半導体チップ1が配設されていない基板2のみの部分が存在する。そのため、特に厚み0.2mm以下の絶縁性樹脂からなる基板2を用いた場合、基板2の中心線X付近の部分および中心線Y付近の部分は、剛性が低く、小さな外部応力によって曲がりやすい。

【0014】この結果、マルチチップ型半導体装置10および10'では、図6(c)および図7(c)に示すように、中心線Y方向(図6(c)および図7(c)に矢印で示す方向)の反りが生じやすいとともに、図6(d)および図7(d)に示すように、中心線X方向(図6(d)および図7(d)に矢印で示す方向)の反りも生じやすい。

【0015】また、従来のBGA型のマルチチップ型半導体装置として、図8および図9に示すように、長方形の基板2の表面上に4つの半導体チップ1が1列に整列させて配置され、基板2の裏面上に外部接続端子としてBGA6が設けられたマルチチップ型半導体装置20および20'も知られている。

【0016】なお、マルチチップ型半導体装置20は、半導体チップ1の配置が異なる点を除けばマルチチップ型半導体装置10と同じである。同様に、マルチチップ型半導体装置20'は、半導体チップ1の配置が異なる点を除けばマルチチップ型半導体装置10'と同じである。

【0017】マルチチップ型半導体装置20および20'では、基板2の中心線X上に半導体チップ1が配置されていないので、基板2の中心線X付近に、半導体チップ1が配置されていない基板2のみの部分が存在する。そのため、特に厚み0.2mm以下の絶縁性樹脂からなる基板2を用いた場合、基板2の中心線X付近の部分は、剛性が低く、小さな外部応力によって曲がりやすい。

【0018】この結果、マルチチップ型半導体装置20および20'では、図8(c)および図9(c)に示す

ように、中心線Y方向(図8(c)および図9(c)に矢印で示す方向)の反りが生じやすい。

【0019】さらに、マルチチップ型半導体装置20および20'では、半導体チップ1が基板2の中心線Yの方向に沿って一列に並べられているので、中心線Y方向に沿った装置全体の長さがマルチチップ型半導体装置10および10'よりも長い。このため、中心線Y方向の反りがより一層生じやすくなっている。

【0020】このように半導体チップ1を整列させて配設した従来のBGA型のマルチチップ型半導体装置10、10'、20、および20'では、基板2の中央部に反りが生じやすい。基板2に反りが生じると、マルチチップ型半導体装置を外部と接続するための電極部であるBGA6の平面度が悪くなる。そのため、外部の半導体装置、例えば、最終機器の回路を構成するマザーボードに対してマルチチップ型半導体装置をBGA6によって接続する際に、接続不良が生じやすいという問題を生じる。

【0021】本発明は、上記従来の問題に鑑みなされたものであり、その目的は、BGAを備えるマルチチップ型半導体装置において、反りにくく、BGAと外部との電気的接続の確実性が高いマルチチップ型半導体装置を提供することにある。

【0022】

【課題を解決するための手段】本願発明者は、上記目的を達成すべく、反りにくいBGA型のマルチチップ型半導体装置について観察検討した結果、曲げ応力に弱い基板上に、曲げ応力に強い半導体チップを意識的に工夫して特定の配置で設けることが、反りの防止に効果的であることを見出した。

【0023】即ち、本発明の請求項1記載のマルチチップ型半導体装置は、上記の課題を解決するために、導体層を備える四辺形の基板に対し、3個以上の半導体チップが基板の一方の面上に平面的に並べて配置されるとともに導体層と電気的に接続され、導体層を外部と電気的に接続するための複数の電極からなるボールグリッドアレイが基板の他の面上に形成されたマルチチップ型半導体装置であって、上記半導体チップ群(上記の3個以上の半導体チップ)は、基板の対辺(半導体チップ側の面上における対向する2辺)の中点を結ぶ2つの中心線のそれぞれに少なくとも1つの半導体チップが跨がるようにして配置されていることを特徴としている。

【0024】上記構成によれば、半導体チップは、基板の対辺の中点を結ぶ2つの中心線(以下、適宜、「対辺中心線」と称する)のそれぞれに少なくとも1つの半導体チップが跨がるように配置されている。言い換れば、半導体チップは、基板の2つの対辺中心線が共に半導体チップの内部を通るように配置されている。

【0025】一般にケイ素を主成分とし曲げ弾性の高い半導体チップを、このように基板の2つの対辺中心線の

(4)

特開2000-196008

それぞれに少なくとも1つの半導体チップが跨がるように配置することで、反りが生じやすい基板の2つの対辺中心線上から薄く曲がりやすい基板のみの部分が減少し、基板の2つの対辺中心線上が半導体チップによって補強される。これにより、基板の2つの対辺中心線上におけるマルチチップ型半導体装置の剛性が増すので、マルチチップ型半導体装置の反りが低減される。それゆえ、外部との電気的接続のための電極部であるポールグリッドアレイの平面度が向上する。その結果、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性が向上する。

【0026】また、上記構成によれば、外部との電気的接続のための複数の電極をポールグリッドアレイとしているので、リードフレームを使用するQFPと比較して単位面積あたりの多ピン化が容易であり、かつ、実装面積も小さくできる。

【0027】なお、本明細書において、「ポールグリッドアレイ」（または「BGA」）とは、少なくとも4つ以上の球状のパンプ電極を同一平面上に格子状となるように配列した外部との電気的接続のための電極部を指すものとする。

【0028】本発明のマルチチップ型半導体装置において、半導体チップは、絶縁性基板の半導体チップ側の面上における中心を通る全ての直線が少なくとも1つの半導体チップを通るように配置されていることがより好ましい。これにより、中央部における全ての方向の反りが低減され、ポールグリッドアレイの平面度がさらに向上する。その結果、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性がさらに向上する。

【0029】本発明の請求項2記載のマルチチップ型半導体装置は、上記の課題を解決するために、請求項1記載のマルチチップ型半導体装置において、上記半導体チップの配置が、隣り合う2つの半導体チップの間を通って基板と平行な直線を全て描くと、これら直線が少なくとも1つの他の半導体チップを通るようになっていることを特徴としている。

【0030】隣り合う2つの半導体チップ間の間隙では、半導体装置が基板のみからなり、薄く曲がりやすいので、反りが生じやすい。しかしながら、上記構成によれば、間隙の延長線上に他の半導体チップが配置されているので、半導体チップ間の間隙での反りを低減できる。その結果、ポールグリッドアレイの平面度をさらに向上させることができ、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性をさらに向上させることができる。

【0031】本発明の請求項3記載のマルチチップ型半導体装置は、上記の課題を解決するために、請求項1ま

たは2に記載のマルチチップ型半導体装置において、上記基板が、ポリイミド、ポリエステル、およびガラスエポキシからなる群より選ばれる少なくとも1種の樹脂材料からなる絶縁性基板に対し、導体層を設けたものであることを特徴としている。

【0032】上記構成によれば、基板が柔軟性の高い樹脂材料からなることにより、基板の厚みを0.2mm以下にしても、基板が破損しにくく、取り扱いが容易なマルチチップ型半導体装置を提供することができる。

【0033】本発明の請求項4記載のマルチチップ型半導体装置は、上記の課題を解決するために、請求項1ないし3のいずれか1項に記載のマルチチップ型半導体装置において、上記基板の厚みが、0.1~0.2mmの範囲内であることを特徴としている。

【0034】上記構成によれば、基板が破損しにくく取り扱いが容易な薄型のマルチチップ型半導体装置を提供することができる。

【0035】なお、本発明のマルチチップ型半導体装置において、半導体チップと導体層との間の電気的接続の方法は、細線（ワイヤ）によるワイヤボンド（ワイヤボンディング）方式であってもよく、フリップチップ（FC）方式であってもよく、また、ワイヤボンド方式とフリップチップ方式とが混在した方式であってもよい。

【0036】また、本発明のマルチチップ型半導体装置において、絶縁性基板における半導体チップが配置されていない空き領域には、コンデンサ、コイル、および抵抗器からなる群より選ばれる少なくとも1種の表面実装型受動部品を1個または複数個混載することが好ましい。これにより、マザーボードの面積を低減することができる。このため、半導体装置をマザーボードに接続して最終製品としたときの最終製品の面積を低減できる。

【0037】さらに、複数の半導体チップを厚み方向に積層してなる積層型半導体チップを搭載してもよい。これにより、マルチチップ型半導体装置の面積を低減することができる。

【0038】

【発明の実施の形態】以下、半導体チップ4個を同一基板上に実装した表面実装型のマルチチップ型半導体装置（以下、「発明の実施の形態」の項では単に半導体装置と記す）について、図面に基づいて説明する。

【0039】【実施の形態1】本発明の実施の一形態について図1に基づいて説明すれば、以下の通りである。本実施形態の半導体装置では、図1に示すように、配線層（導体層）を備える正方形の基板2に対し、4個の長方形の半導体チップ1が基板2の表面上に平面的に並べて配置されるとともに配線層と電気的に接続され、配線層を外部と電気的に接続するための複数の電極からなるBGA（ポールグリッドアレイ）6が基板2の裏面上に形成されている。そして、半導体チップ1は、基板2の対辺の中点を結ぶ2つの中心線XおよびYのそれぞれに

少なくとも1つの半導体チップ1が跨がるように、かつ、隣り合う2つの半導体チップ1の間を通りて基板2と平行な全ての直線A～Dが半導体チップ1を通るよう配置されている。

【0040】半導体チップ1は、基板2の中央部に正方形の空き領域（半導体チップ1が配置されていない領域）が形成されるように基板2の4隅に配置されており、いわゆる匂状となっている。図1の平面上で説明すれば、左上の半導体チップ1は、その長辺が基板2の中心線Y上に平行となり、かつ、その下端部を基板2の中心線Xが通るように配置され、右上および左下の半導体チップ1は、基板2の中心（中心線Xと中心線Yとの交点）のまわりに90°回転すれば左上の半導体チップ1に完全に重なるように配置され、右下の半導体チップ1は、基板2の中心に沿して左上の半導体チップ1と点対称となるように配置されている。

【0041】基板2は、ポリイミド、ポリエステル、ガラスエポキシなどの絶縁性樹脂からなる薄い絶縁性基板上に、配線層として銅等の導体をバーニングしたパッケージ基板である。なお、ガラスエポキシとは、エポキシ樹脂（変性エポキシ樹脂を含む）とガラスクロスとかなる繊維強化プラスチックであり、例えば、エポキシ樹脂をガラスクロスに含浸させた後に硬化させることにより製造される。

【0042】基板2は、例えば、厚さ0.1mm程度の薄い絶縁性基板と、厚さ0.05mm程度の薄い導体からなる配線層とからなり、全体の厚みは0.15mm程度である。基板2の厚みは、損傷を防止するのに十分な強度が得られるように0.1mm以上にすることが好ましいが、半導体装置の薄型化を考慮すると0.2mm以下であることが好ましく、0.1mm～0.2mmの範囲内がより好ましい。本実施形態の半導体装置をCSP型半導体装置とともにマザーボードに混載する場合には、基板2の厚みは、0.2mm程度が特に好ましい。基板2の平面方向の寸法は、厚みの数十倍以上、例えば、10mm×10mm角に近い寸法あるいは10mm×10mm角以上の寸法となっている。

【0043】半導体チップ1は、ケイ素基板の表面上に半導体回路が形成されている一方、半導体回路が形成された面の裏面に電極パッドが設けられたものであり、通常、厚み0.3～0.5mm程度である。

【0044】半導体チップ1としては、特に、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、MRAM (Mask Read Only Memory)、フラッシュメモリ等のメモリが好適に用いられる。また、半導体チップ1として互いに異なる種類のメモリを用いてもよく、これにより複合型のメモリ半導体装置とすることができる。さらに、メモリと、マイクロコンピュータ(CPU)、ゲートアレイ、スタンダードセル等の他の半導体チップとを複合実装してもよく、こ

れにより複合型の半導体装置とすることができます。

【0045】半導体チップ1は、接着剤などにより半導体回路が形成された面を上にして基板2の表面上に取り付けられており、半導体チップ1の電極パッドは、基板2の配線層（図示しない）に対し細線3によって電気的に接続されている。従って、半導体チップ1の電極パッドと基板2の配線層との間の電気的接続は、ワイヤボンド方式となっている。

【0046】細線3は、金やアルミニウムなどの導体からなる線径0.03mm程度の導線である。半導体チップ1、基板2、および細線3は、外部環境による化学的な劣化や、傷などの物理的な劣化から、半導体チップ1の回路形成面を保護するために、エポキシ樹脂などの封止樹脂4により保護されている。

【0047】BGA6は、はんだボール等の球状パンプ電極からなり、基板2の配線層を外部の半導体装置（例えば、マザーボード）と電気的に接続するための外部接続端子（電極）として機能するものである。BGA6は、基板2の半導体チップ1に対する裏面における配線層の下方に、配線層に接するように形成されている。

【0048】基板2は、前述したように、主として絶縁性樹脂からなり、厚み方向の寸法が平面方向の寸法に対して非常に小さいため、基板2のみでは、曲げに対する剛性が低く、小さな外力により曲がりが生じる。

【0049】しかしながら、本実施形態の半導体装置では、半導体チップ1と基板2とが接着剤で確実に固定されているので、半導体チップ1によって基板2が支持されるようになっている。そのため、基板2上に半導体チップ1が搭載された部分の半導体装置の剛性は、基板2の剛性に対して半導体チップ1の剛性が加わったものとなる。半導体チップ1は、曲げ弾性の高いケイ素（シリコン）を主な材質とするうえに厚さ0.3～0.5mm程度と比較的厚いために曲げに対する剛性が高い。それゆえ、基板2上に半導体チップ1が搭載された部分の半導体装置は、半導体チップ1によって曲がりにくくなる。

【0050】そして、本実施形態の半導体装置では、基板2の中心線Xおよび中心線Yに沿って基板2のみからなる薄い部分が端から端まで連続して存在することができないように、基板2の中心線XおよびY上にそれぞれ2つの半導体チップ1を配置している。これにより、特に反りが生じやすい基板2の中心線X近傍および中心線Y近傍において半導体装置が曲がりにくくなり、半導体装置の反りが低減される。それゆえ、外部との接続のための電極部であるBGA6の平面度が向上する。例えば、基板2の外形寸法が15mm角以下である場合には、BGA6の平面度を0.1mm以下にすることができる。この結果、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性が向上する。

【0051】また、隣り合う2つの半導体チップ1の間の隙間では、半導体装置が基板2のみからなるので反りが生じやすい。しかしながら、本実施形態の半導体装置では、半導体チップ1は、隣り合う2つの半導体チップ1の間を通って基板2と平行な直線A～Dを全て描くと、直線A～Dがそれぞれ1つの半導体チップ1を通るように配置されている。これにより、隣り合う2つの半導体チップ1の間での基板2の反りを低減できる。その結果、BGA6の平面度をさらに向上させることができ、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性をさらに向上させることができる。

【0052】【実施の形態2】本発明の他の実施の形態について図2に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態1にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0053】本実施の形態の半導体装置は、半導体チップ1と基板2との電気的接続の方式が異なる以外は実施の形態1の半導体装置と同じである。本実施の形態の半導体装置では、図2に示すように、実施の形態1における細線3に代えて、金やはんだ等の導体からなるパンプ(突起)5が半導体チップ1の回路形成面の電極上に形成され、半導体チップ1の電極パッドと基板2の配線層との電気的接続は、パンプ5を介するフリップチップボンド方式によって実現されている。また、本実施の形態の半導体装置では、封止樹脂4で全体を覆うのではなく、封止樹脂4でパンプ5だけを覆うようにしている。

【0054】本実施形態の半導体装置においても、特に反りが生じやすい半導体装置の中心線X上および中心線Y上に半導体チップ1が位置するため、反りが起こりにくい。それゆえ、外部との接続のための電極部であるBGA6の平面度が向上する。この結果、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性が向上する。

【0055】なお、本実施形態の半導体装置を実施の形態1の半導体装置と比較した場合、実施の形態1の方が細線3を保護するために封止樹脂4で全体を覆っている分、反りが生じにくい。しかしながら、本実施形態においても、全体を覆うように封止樹脂4を形成すれば、実施の形態1と同程度にまで反りが生じにくくなる。

【0056】【実施の形態3】本発明のさらに他の実施の形態について図3に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態1にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0057】本実施形態の半導体装置は、実施の形態1の半導体装置における半導体チップ1の配置のみを変更したものである。本実施形態の半導体装置では、図3に

示すように、半導体チップ1は、基板2の対辺の中点を結ぶ2つの中心線XおよびYのそれぞれに少なくとも1つの半導体チップ1が跨るように配置されている。図3の平面上で説明すれば、2つの長方形の半導体チップ1が、その長辺が中心線Xに平行となり、かつ、その中心を中心線Yが通るように基板2の上端部および下端部に配置され、基板2の上端部および下端部に配置された半導体チップ1の間に、他の2つの長方形の半導体チップ1が、その長辺が中心線Yに平行となり、かつ、その中心を中心線Xが通るように左右に並べて基板2上に配置されている。

【0058】本実施形態の配置においても、特に反りが生じやすい半導体装置の中心線X上および中心線Y上に半導体チップ1が位置するため、反りが起こりにくい。それゆえ、外部との接続のための電極部であるBGA6の平面度が向上する。この結果、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性が向上する。

【0059】本実施形態の半導体装置では、隣り合う半導体チップ1と半導体チップ1との間の隙間を貫く基板2に平行な全ての直線、すなわち、直線E、直線F、および中心線Yを描くと、中央の2つの半導体チップ1の間を通る中心線Y上には2つの半導体チップ1が存在するが、上端の半導体チップ1と中央の2つの半導体チップ1との間を通る直線E上、および下端の半導体チップ1と中央の2つの半導体チップ1との間を通る直線F上には半導体チップ1が存在しない。そのため、本実施形態の半導体装置と実施の形態1の半導体装置とを比較すると、本実施形態では、直線Eおよび直線Fに沿った部分が曲がりやすく、中心線Y方向の反りが生じやすいので、実施の形態1の方がより好ましい。

【0060】【実施の形態4】本発明の実施の他の形態について図4に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態1にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0061】本実施の形態の半導体装置は、半導体チップ1と基板2との電気的接続の方式が異なる以外は実施の形態3の半導体装置と同じである。本実施の形態の半導体装置では、図4に示すように、実施の形態3における細線3に代えて、金やはんだ等の導体からなるパンプ(突起)5が半導体チップ1の回路形成面の電極上に形成され、半導体チップ1の電極パッドと基板2の配線層との電気的接続は、パンプ5を介するフリップチップボンド方式によって実現されている。また、本実施の形態の半導体装置では、封止樹脂4で全体を覆うのではなく、封止樹脂4でパンプ5だけを覆うようにしている。

【0062】本実施形態の半導体装置においても、特に反りが生じやすい半導体装置の中心線X上および中心線Y上に半導体チップ1が位置するため、反りが起こりに

くい。それゆえ、外部との接続のための電極部であるBGA 6の平面度が向上する。この結果、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性が向上する。

【0063】なお、本実施形態の半導体装置を実施の形態3の半導体装置と比較した場合、実施の形態3の方が細線3を保護するために封止樹脂4で全体を覆っている分、反りが生じにくい。しかしながら、本実施形態においても、全体を覆うように封止樹脂4を形成すれば、実施の形態3と同程度にまで反りが生じにくくなる。

【0064】【実施の形態5】本発明の実施の他の形態について図5に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態1にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0065】本実施の形態の半導体装置は、図5に示すように、実施の形態4における各半導体チップ1の形状を正方形に変更した以外は実施の形態4の半導体装置と同じである。

【0066】本実施形態の半導体装置においても、特に反りが生じやすい半導体装置の中心線X上および中心線Y上に半導体チップ1が位置するため、反りが起こりにくい。それゆえ、外部との接続のための電極部であるBGA 6の平面度が向上する。この結果、半導体装置と、外部の部品、例えば、最終機器を構成するマザーボードなどの周辺部品との間の電気的接続の確実性が向上する。

【0067】本実施の形態の半導体装置では、中心線XおよびY上に半導体チップ1を配置したために半導体チップ1が最密充填になっておらず、基板2上に半導体チップ1のない空き領域が存在する。そのため、半導体チップ1を整列させて詰めて配置した場合と比較すると、半導体装置のサイズが大きくなっている。

【0068】しかしながら、従来はマザーボードに搭載されていたコンデンサ、コイル、抵抗器などの表面実装型の受動部品7をこの空き領域に配置したことにより、マザーボードの面積を低減することができる。このため、半導体装置をマザーボードに接続して最終製品としたときの最終製品における合計の面積の増加は最小限に抑えられる。なお、実施の形態1～4の半導体装置においても、空き領域に対して受動部品7を配置することができる。そのため、その場合にも同様の効果が得られる。

【0069】以上のように、本発明に係る半導体装置では、種々な形状の半導体チップ1について、基板2の対辺の中心線X上および中心線Y上に半導体チップ1を配置することにより、反りを低減することができる。また、隣り合う2つの半導体チップ1の間の隙間を貢くように描いた全ての直線(A～D)上に半導体チップ1を配置することにより、反りをより一層低減す

ることができることが分かる。

【0070】なお、以上の各実施の形態では、各半導体チップ1が厚み方向に重複していなかったが、より高密度実装するために、厚み方向に積み重ねられた積層型半導体チップを搭載してもよい。これにより、半導体装置の面積を低減することができる。この場合、基板2の配線層に対する各半導体チップ1の電気的接続方式は、下の半導体チップの電気的接続方式をフリップチップボンド方式とし上の半導体チップの電気的接続方式をワイヤボンド方式としてもよく、また、両方の半導体チップの電気的接続方式をワイヤボンド方式としてもよい。

【0071】また、半導体装置の薄型化が要求されない場合には、基板2として、反り難いセラミックや有機樹脂からなる厚い板材を用いることも可能であり、その場合においても、本発明の半導体チップ1の配置により反りをさらに低減できる。

【0072】

【発明の効果】本発明の請求項1記載のマルチチップ型半導体装置は、以上のように、導体層を備える四辺形の基板に対し、3個以上の半導体チップが基板の一方の面上に平面的に並べて配置されるとともに導体層と電気的に接続され、導体層を外部と電気的に接続するための複数の電極からなるポールグリッドアレイが基板の他の面上に形成されたマルチチップ型半導体装置であって、上記半導体チップ群は、基板の対辺の中点を結ぶ2つの中心線のそれぞれに少なくとも1つの半導体チップが跨がるようにして配置されている構成である。

【0073】それゆえ、上記構成は、反りにくく、ポールグリッドアレイと外部との電気的接続の確実性が高いマルチチップ型半導体装置を提供することができるという効果を奏する。

【0074】本発明の請求項2記載のマルチチップ型半導体装置は、以上のように、上記半導体チップの配置が、隣り合う2つの半導体チップの間を通りて基板と平行な直線を全て描くと、これら直線が少なくとも1つの他の半導体チップを通りようになっている構成である。

【0075】それゆえ、上記構成は、外部との電気的接続の確実性をさらに向上させることができるという効果を奏する。

【0076】本発明の請求項3記載のマルチチップ型半導体装置は、以上のように、上記基板が、ポリイミド、ポリエチル、およびガラスエポキシからなる群より選ばれる少なくとも1種の樹脂材料からなる絶縁性基板に対し、導体層を設けた構成である。

【0077】それゆえ、上記構成は、基板の厚みを0.2mm以下にしても、基板が破損しにくく、取り扱いが容易なマルチチップ型半導体装置を提供することができるという効果を奏する。

【0078】本発明の請求項4記載のマルチチップ型半導体装置は、以上のように、上記基板の厚みが、0.1

(8)

特開2000-196008

～0.2mmの範囲内である構成である。

【0079】それゆえ、上記構成は、基板が破損しにくく取り扱いが容易な薄型のマルチチップ型半導体装置を提供することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態におけるマルチチップ型半導体装置を示す図であり、(a)は上面図、(b)は側面図である。

【図2】本発明の他の実施の形態におけるマルチチップ型半導体装置を示す図であり、(a)は上面図、(b)は側面図である。

【図3】本発明のさらに他の実施の形態におけるマルチチップ型半導体装置を示す図であり、(a)は上面図、(b)は側面図である。

【図4】本発明のさらに他の実施の形態におけるマルチチップ型半導体装置を示す図であり、(a)は上面図、(b)は側面図である。

【図5】本発明のさらに他の実施の形態におけるマルチチップ型半導体装置を示す上面図である。

【図6】従来のマルチチップ型半導体装置の一例を示す図であり、(a)はマルチチップ型半導体装置の上面図、(b)はマルチチップ型半導体装置の側面図、(c)は反った状態でのマルチチップ型半導体装置の側面図、(d)は反った状態でのマルチチップ型半導体装置の正面図である。

【図7】従来のマルチチップ型半導体装置の他の一例を示す図であり、(a)はマルチチップ型半導体装置の上

面図、(b)はマルチチップ型半導体装置の側面図、(c)は反った状態でのマルチチップ型半導体装置の側面図、(d)は反った状態でのマルチチップ型半導体装置の正面図である。

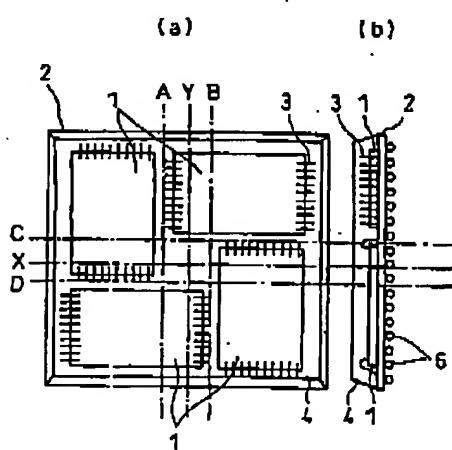
【図8】従来のマルチチップ型半導体装置のさらに他の一例を示す図であり、(a)はマルチチップ型半導体装置の上面図、(b)はマルチチップ型半導体装置の側面図、(c)は反った状態でのマルチチップ型半導体装置の側面図、(d)はマルチチップ型半導体装置の正面図である。

【図9】従来のマルチチップ型半導体装置のさらに他の一例を示す図であり、(a)はマルチチップ型半導体装置の上面図、(b)はマルチチップ型半導体装置の側面図、(c)は反った状態でのマルチチップ型半導体装置の側面図、(d)はマルチチップ型半導体装置の正面図である。

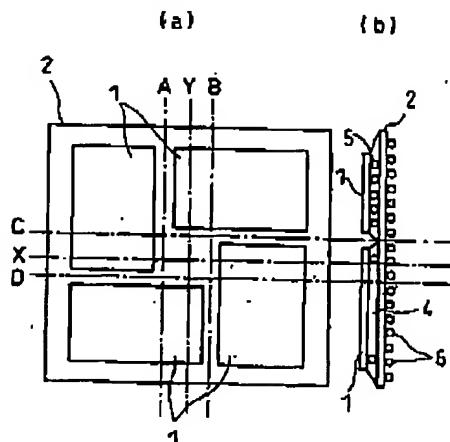
【符号の説明】

- 1 半導体チップ
- 2 基板
- 3 細線
- 4 封止樹脂
- 5 パンプ
- 6 BGA (ポールグリッドアレイ)
- 7 受動部品
- X 中心線
- Y 中心線

【図1】



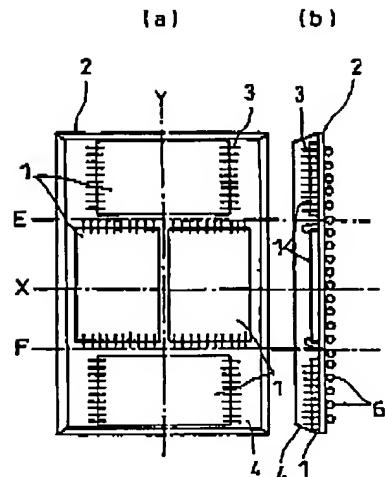
【図2】



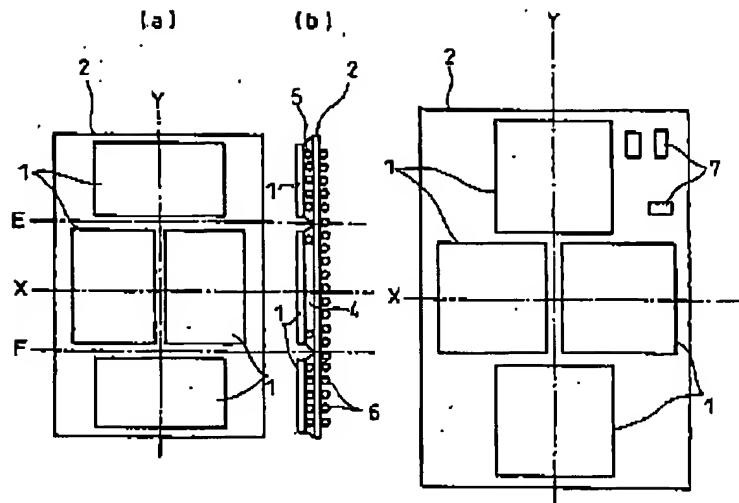
(9)

特開2000-196008

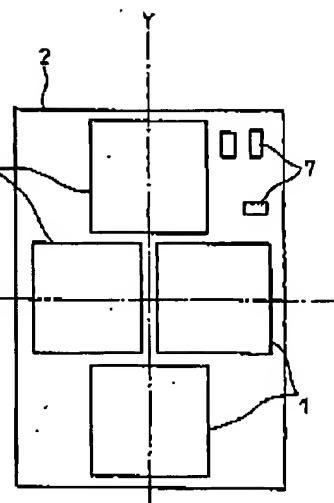
【図3】



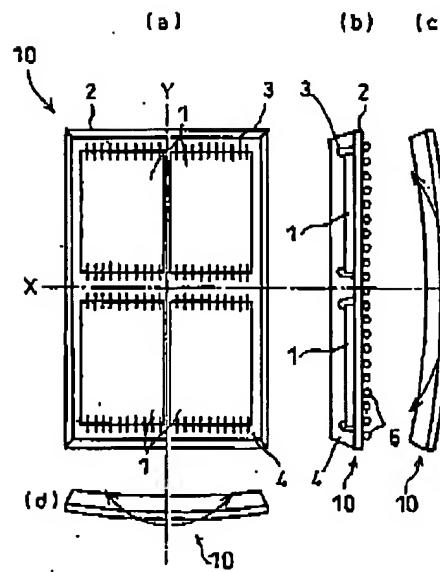
【図4】



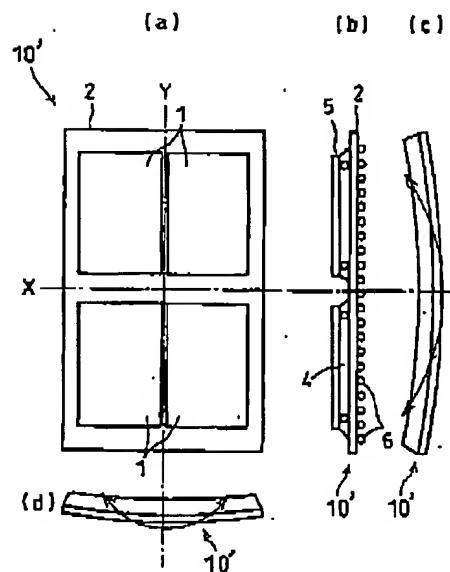
【図5】



【図6】



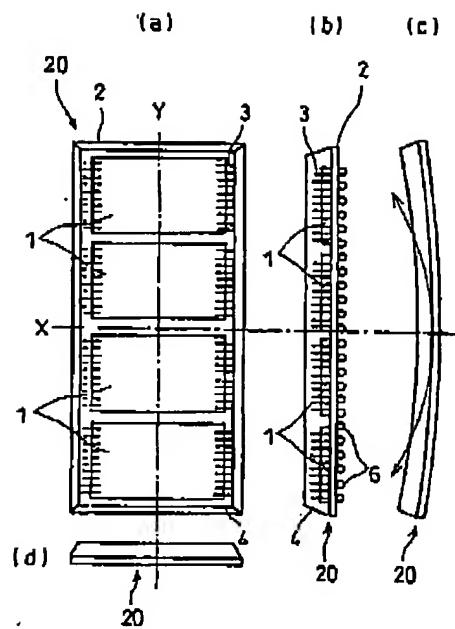
【図7】



(10)

特開2000-196008

〔図8〕



〔図9〕

